

«Логикалық интегралдық схемаларды программалау»

пәні бойынша Емтихан бағдарламасы

«6B07109 - Өндірістік электроника және басқару жүйелері»,
3 курс, қ/б.

Студенттер саны – 11.

емтихан түрі

ТЕСТ(қашықтықтан).

сұрақтардың жалпы саны – 150.

ИС Univer жүйесінде ұсынылған нұсқалардың ішінен бір немесе бірнеше дұрыс жауапты таңдау. Прокторинг – бар, автоматты түрде экранды және камераны қадағалап отырады.

Студент келесі техникалық талаптарға сәйкес дайындық жүргізуі тиіс: компьютер, веб-камера, микрофон, тыныш бөлме және бөлмеде бөгде адамдардың болмауы.

Емтихан өткізу платформасы: **ИС Univer**

Емтихан өткізу формасы: **Тест**

Емтихан ережелері

емтихан ИС Univer жүйесіндегі кестеге сәйкес өткізіледі

«**Емтихандар кестесі**» батырмасы.

Көлемі – 90 минутқа 40 сұрақ.

Апелляция тестілеу аяқталғаннан кейін 24 сағат ішінде берілуі мүмкін.

Оқытушы бағалау парағын сынақ емтиханы аяқталғаннан кейін 48 сағаттан кейін жабады (бұл уақыт нәтижелерге шағымдану үшін беріледі).

Апелляцияның себептері келесідей болуы мүмкін: А) тест сұрақтарының оқу бағдарламасына сәйкес келмеуі; В) сұрақтар мен жауаптардың дұрыс көрсетілмеуі (техникалық себептер); С) «дұрыс жауап» жүйеде қате көрсетілген.

Бағалау ережелері мен критерийлері

Бағалау және аттестаттау саясаты	Жиынтық бағалау: 40 сұрақ = 100 балл. Төмендегі қатынасқа сәйкес 95 – 100%: A 90 – 94%: A- 85 – 89%: B+ 80 – 84%: B 75 – 79%: B- 70 – 74%: C+ 65 – 69%: C 60 – 64%: C- 55 – 59%: D+ 50 – 54%: D- 0 – 49%: F
----------------------------------	--

Ұсынылатын әдебиеттер тізімі.

1. Пән бойынша лекциялар жинағы (ИС Univer)
2. Максфилд К. Проектирование на ПЛИС. Курс молодого бойца. - М.: Изд. дом «Додэка-XXI», 2007. - 408 с.
3. Стернхейм Э., Сингх Р., Триведи Я. Проектирование цифровых схем на языке описания аппаратуры VERILOG. - МОСКВА, 1992. - 278 с.
4. Поляков А. Языки VHDL и VERILOG в проектировании цифровой аппаратуры. -М.: СОЛОН-Пресс, 2010. - 320 с.

Емтихан сұрақтарына сәйкес негізгі тақырыптардың тізімі

- FPGA классификациясы
- Verilog HDL тілі. Тілдің лексикалық элементтері. Мәліметтер түрлері, күйлері. Регистрлар және тізбектер. Параметрлер
- FPGA бағдарламалауы және конфигурациясы. Xilinx FPGA архитектурасы. Verilog HDL тіліндегі Case таңдау операторы.
- Модульдер. If тармақтау операторы. Шартты оператор.
- Процесс-блоктар (always блоктар). Бастапқы күйлерді орнатуға арналған блоктар.
- Verilog тілінің операторлары: ығысу операторлары.
- FPGA негізінде сандық құрылғыларды схемотехникалық жобалау. Verilog тілінің операторлары: арифметикалық амалдар, салыстырмалы амалдар, салыстыру операторлары.
- Сандық сигналдарды өңдеу құралдарын жобалау. Verilog тілінің операторлары: логикалық амалдар және биттік логикалық амалдар.
- Кіріктірілген микропроцессорлы құрылғыларды жобалау. Тізбектер мен регистрлердің биттік адресі. Жады элементінің адресі.

- IP блоктар. Функцияларды жариялау.
- Кірістірілген примитивтер.
- Цикл операторлары: for операторы
- Цикл операторлары: while операторы
- Цикл операторлары: repeat, forever операторлары